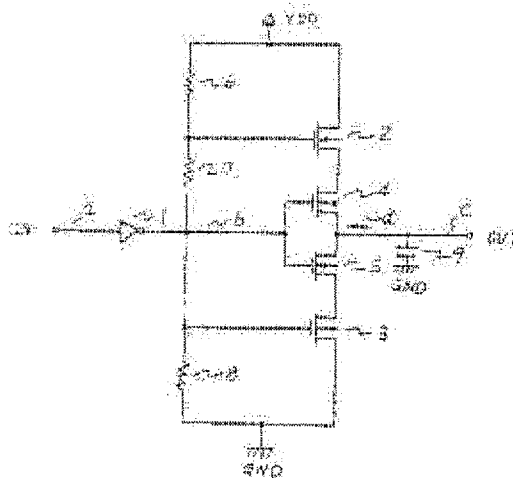


## OUTPUT BUFFER CIRCUIT

**Patent number:** JP2119427 (A)  
**Publication date:** 1990-05-07  
**Inventor(s):** SHIGIYOU TOMONAGA; UNEUCHI TSUKASA +  
**Applicant(s):** NIPPON ELECTRIC IC MICROCOMPUT +  
**Classification:**  
- international: *H03K17/687; H03K19/00; H03K19/003; H03K19/0185; H03K19/0948; H03K5/02;*  
(IPC 1-7): H03K17/687; H03K19/0185; H03K19/0948; H03K5/02  
- european: H03K19/003J4; H03K19/00P4; H03K19/0185B4  
**Application number:** JP19880273704 19881028  
**Priority number(s):** JP19880273704 19881028

## Abstract of JP 2119427 (A)

**PURPOSE:**To suppress the production of malfunction by providing a power voltage control circuit limiting a power voltage applied to an output inverter circuit. **CONSTITUTION:**A gate voltage of an N-channel transistor(TR) 2 and a P-channel TR 3 is controlled by resistors 6-8 connected in series between a power supply and a ground and the TRs are component of a power voltage control circuit of an output inverter circuit. Since the output of TRs 4, 5 is not in full swing in a range of the power voltage, an output load capacitor 9 is not completely charged and discharged, a transient current is decreased, thereby decreasing the drive of an internal power supply due to a power impedance. Thus, an output buffer circuit hardly causing malfunction is obtained.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-119427

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)5月7日

H 03 K 19/0185  
5/02  
17/687  
19/0948

Z 7631-5J

8326-5J  
8326-5J  
8214-5J

H 03 K 19/00  
19/094  
17/687

1 0 1 D  
B  
A

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 出力バッファ回路

⑯ 特 願 昭63-273704

⑰ 出 願 昭63(1988)10月28日

⑱ 発 明 者 執 行 倫 永 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑲ 発 明 者 宇 根 内 司 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑳ 出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

出力バッファ回路

2. 特許請求の範囲

互いに極性の異なる2個のトランジスタを直列に接続した出力インバータ回路を備える出力バッファ回路において、前記出力インバータ回路に加える電源電圧を制限する電源電圧制限回路を含むことを特徴とする出力バッファ回路

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は出力バッファ回路、特にCMOS型論理回路の出力バッファ回路に関する。

〔従来の技術〕

一般に論理ICにおいて論理出力を他のデバイスに接続する為、そのインターフェイスとして出力バッファ回路を使用している。このような従来

の出力バッファ回路の一例を第3図に示す。第4図は第3図の動作を示す波形図である。第3図において10はインバータ、11はPチャンネルトランジスタ、12はNチャンネルトランジスタ、13は出力負荷容量で、P、N両トランジスタ11、12とを電源と接地間に直列に接続し、インバータ10の出力をP、N両トランジスタ11、12のゲートに接続し、P、N両トランジスタ11、12の接続点を出力とする構成となっている。尚、13は負荷容量である。

第3図の動作を第4図で用いて説明する。第4図において入力信号eはインバータ10で反転され、その反転された出力がP、N両トランジスタ11、12により再度反転され、入力信号eと同相で出力信号fとして出力される。の出力fが電源電圧範囲をフルスイングする為出力負荷容量13を完全に充放電する。充放電する時に流れる電流がgである。

〔発明が解決しようとする課題〕

上述した従来の出力バッファ回路は電源電圧範

図をフルスイングする為出力負荷容量を完全に充放電することになる。この充放電電流は電源のZ（インピーダンス）に作用し、内部電源ドリフトを引き起す。このドリフトによりデバイスは種々の誤動作を生ずるという欠点がある。

本発明の目的は以上の欠点を解決し、誤動作の生じにくい出力バッファ回路を提供することにある。

〔課題を解決するための手段〕

本発明の出力バッファ回路は、互いに異なる2個のトランジスタを直列に接続した出力インバータ回路を備える出力バッファ回路において、前記出力インバータ回路に加える電源電圧を制限する電源電圧制限回路を備えることにより構成される。〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例の出力バッファ回路の回路図、第2図はその動作を説明する波形図である。第1図において、1はインバータ、トランジスタ4、5はそれぞれPチャンネルトランジスタ、

Nチャンネルトランジスタで出力インバータ回路を構成している。また、2はNチャンネルトランジスタ、3はPチャンネルトランジスタで電源と接地間に直列に接続される抵抗6、7、8によりそれぞれのゲート電圧を制御されて、前記出力インバータ回路の電源電圧制限回路を構成している。尚、9は出力負荷容量を示す。

第1図の動作を第2図を用いて説明する。

点aがロウからハイに変化すると、点bはハイからロウに変化する。このときトランジスタ4は導通状態、トランジスタ5は非導通状態となる。トランジスタ4が導通状態によって電源電圧がシフトダウンし、この電圧が点cに出力される。このときトランジスタ4を通過して点dに電流が流れる。また点aがハイからロウに変化すると点bはロウからハイに変化する。このときトランジスタ4は非導通、トランジスタ5は導通状態となる。トランジスタ5が導通状態となると、接地と接続された側の電源電圧制限回路によって接地電圧がシフトアップし、この電圧が点cに出力される。

このとき点dに電流が流れる。

従ってトランジスタ4、5は電源電圧範囲をフルスイングしないので出力負荷容量9を完全には充放電しなくなり、第2図dの過渡電流が減少することで、電源インピーダンスによる内部電源ドリフトを小さくすることが出来る。

〔発明の効果〕

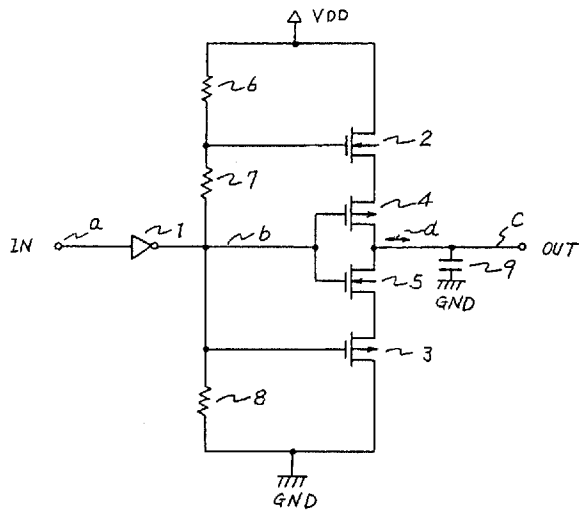
以上説明したように本発明は電源電圧範囲をフルスイングさせないことにより誤動作を生じにくく出来る効果がある。また出力振幅が小さくなることから、遷移時間が小さくなり、出力バッファ回路の伝達遅延時間も小さくなる。更に、出力振幅はゲート電圧制御抵抗6、7、8により、個々の負荷に対して最適値を選ぶことも可能となる。

#### 4. 図面の簡単な説明

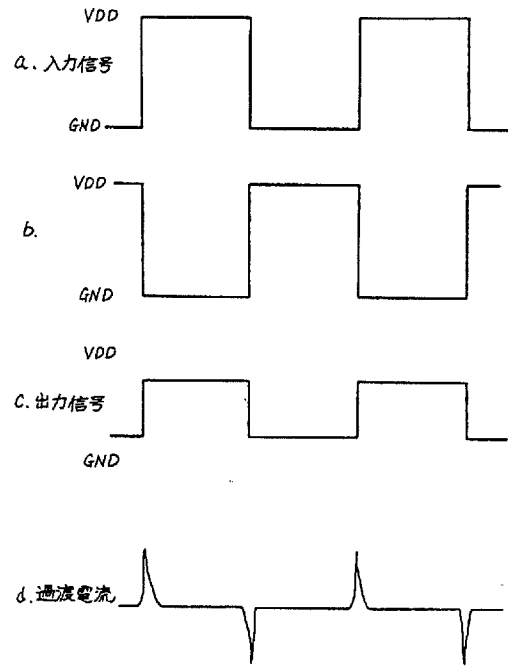
第1図は本発明の一実施例の出力バッファ回路を示す回路図、第2図は第1図の動作を示す波形図、第3図は従来例の回路図、第4図は第3図の動作を示す波形図である。

1、10……インバータ、2、5、12……Nチャンネルトランジスタ、3、4、11……Pチャンネルトランジスタ、6、7、8……抵抗、9、13……出力負荷容量。

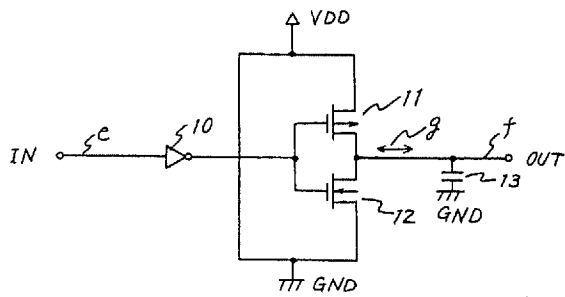
代理人 弁理士 内 原 晋



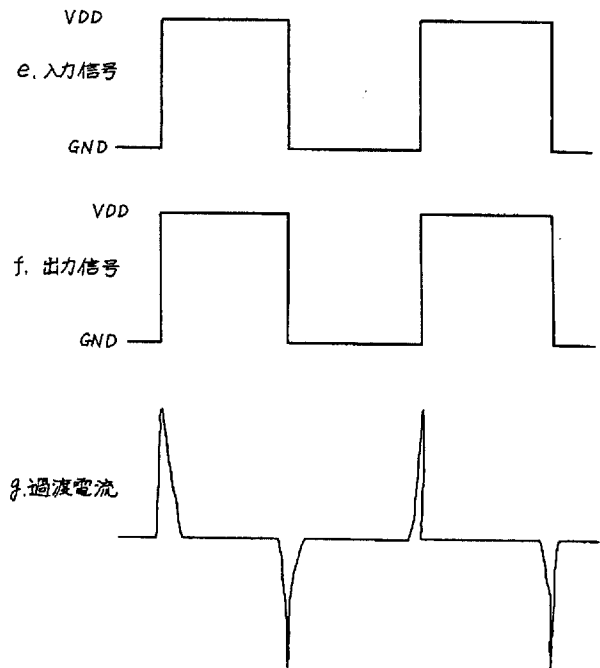
第 1 図



第 2 図



第 3 図



第 4 図

(19) Japan Patent Office (JP)

(12) Patent Laid-Open Official Gazette (A)

(11) Patent Application Laid-Open No.: Hei2-119427

(43) Patent Application Laid-Open Date: May 7, Heisei 2 (1990)

(51) Int. Cl.<sup>5</sup>            Identification Mark    JPO file number

H 03 K 19/0185

5/02                    Z                    7631-5J

17/687

19/0948

8326-5J H 03 K 19/00    101 D

8326-5J                    19/094        B

8214-5J                    17/687        A

Request for Examination: not made

The Number of Claims: 1

(3 pages in total)

(54) Title of the Invention: OUTPUT BUFFER CIRCUIT

(21) Application No. Sho63-273704

(22) Application Date: October 28, Sho63 (1988)

(72) Inventor: Tomonaga SHIKKO

c/o Nippon Electric IC Micom Systems Corporation

7-15, Shiba 5-chome, Minato-ku, Tokyo

(72) Inventor: Tsukasa UNEUCHI

c/o Nippon Electric IC Micom Systems Corporation

(71) Applicant:

Nippon Electric IC Micom Systems Corporation

7-15, Shiba 5-chome, Minato-ku, Tokyo

(74) Representative: Patent Attorney: Susumu UCHIHARA

## SPECIFICATION

### 1. Title of the Invention

#### OUTPUT BUFFER CIRCUIT

### 2. Scope of Claims

An output buffer circuit comprising an output inverter circuit in which two transistors whose polarities are different from each other are connected in series,

wherein the output inverter circuit includes a power source voltage control circuit for controlling a power source voltage applied to the output inverter circuit.

### 3. Detailed Description of the Invention

#### [Industrial Application Field]

The present invention relates to an output buffer circuit, particularly an output buffer circuit of a CMOS-type logic circuit.

#### [Prior Art]

In general, in order to connect a logic output circuit to another device in a logical IC, an output buffer circuit has been used as an interface thereof. One example of such a conventional output buffer circuit is shown in FIG. 3. FIG. 4 is waveform diagrams illustrating operation of FIG. 3. In FIG. 3, according to the structure, 10 is an

inverter, 11 is a P-channel transistor, 12 is an N-channel transistor, 13 is an output load capacitor, both the P and N transistors 11 and 12 are connected between a power source and a ground in series, an output of the inverter 10 is connected to gates of the P and N transistors 11 and 12, and a connection point between both the P and N transistors 11 and 12 is an output. Note that 13 is a load capacitor.

The operation of FIG. 3 is described using FIG. 4. In FIG. 4, an input signal *e* is inverted with the inverter 10, and the inverted output is inverted again with both of the P and N transistors 11 and 12 to be output as an output signal *f* with the same phase as the input signal *e*. The output *f* fully swings in the scope of the power source voltage, so that the output load capacitor 13 is fully charged/discharged. A current which flows at the time of charging/discharging is *g*.

[Problem to be Solved by the Invention]

The above-described conventional output buffer circuit fully swings in the scope of the power source voltage, so that the output load capacitor is fully charged/discharged. This charge/discharge current acts on *z* (impedance) of the power source, causing internal power source drift. There is a drawback that this drift causes various malfunctions of the device.

An object of the present invention is to solve the above drawback and provide an output buffer circuit in which malfunction is unlikely to occur.

[Means to solve the Problem]

The output buffer circuit of the present invention is structured to provide a power source voltage control circuit for controlling a power source voltage applied to an output inverter circuit for the output buffer circuit provided with the output inverter circuit in which two transistors which are different from each other are connected in

series.

[Embodiment]

Next, description is made on the present invention with reference to drawings.

FIG. 1 is a circuit diagram of an output buffer circuit which is one embodiment of the present invention, and FIG. 2 is waveform diagrams illustrating operation thereof. In FIG. 1, 1 is an inverter, and transistors 4 and 5 are a P-channel transistor and an N-channel transistor respectively to form an output inverter circuit. Further, 2 is an N-channel transistor and 3 is a P-channel transistor to form a power source voltage control circuit of the output inverter circuit, and respective gate voltages are controlled by resistors 6, 7, and 8 connected in series between a power source and a ground. Note that 9 denotes an output load capacitance.

The operation of FIG. 1 is described using FIG. 2.

As a point a changes from low to high, a point b changes from high to low. At this time, the transistor 4 is turned on, and the transistor 5 is turned off. With the transistor 4 turned on, the power source voltage is shifted down, and this voltage is output to a point c. At this time, current flows to a point d through the transistor 4. Then, as the point a changes from high to low, the point b changes from low to high. At this time, the transistor 4 is turned off, and the transistor 5 is turned on. With the transistor 5 turned on, the ground voltage is shifted up by the power source voltage control circuit on the side which is connected to the ground, and this voltage is output to the point c. At this time, current flows into the point d.

Therefore, the transistor 4, 5 does not fully swing in the scope of the power source voltage, so that the output load capacitor 9 is not fully charged/discharged and a transient current d in FIG. 2 is decreased, whereby internal power source drift by power



source impedance can be decreased.

[Effect of the Invention]

As described above, the present invention has an effect that full swing in the scope of the power source voltage is prevented to suppress generation of malfunction. In addition, the output amplitude is decreased, so that transition time is decreased, and transmission delay time of the output buffer circuit is also decreased. Further, as for the output amplitude, an optimum value can be selected for each load by the gate voltage control resistor 6, 7, 8.

4. Brief Description of the Drawings

FIG. 1 is a circuit diagram illustrating an output buffer circuit which is one embodiment of the present invention, FIG. 2 is waveform diagrams illustrating operation of FIG. 1, FIG. 3 is a circuit diagram of a conventional example, and FIG. 4 is waveform diagrams illustrating operation of FIG. 3.

1, 10.....inverter, 2, 5, 12.....N-channel transistor, 3, 4, 11.....P-channel transistor, 6, 7, 8.....resistor, 9, 13.....output load capacitor

Representative: Patent Attorney: Susumu UCHIHARA